

【特許請求の範囲】

【請求項1】ボード上に既存マクロと新規作成回路とが搭載されて構成されるシステムロジックをテストするテスト回路であって、

前記新規作成回路をテストするバウンダリスキャン回路と、

前記既存マクロを単体テストする回路と、を備えることを特徴とするテスト回路。

【請求項2】前記既存マクロを単体テストする回路と、前記バウンダリスキャン回路とが統合化されていることを特徴とする請求項1記載のテスト回路。

【請求項3】前記バウンダリスキャン回路を構成する第1のバウンダリスキャンセルおよび第2のバウンダリスキャンセルに対し、前記既存マクロを単体テストする回路は、

前記第1のバウンダリスキャンセルに接続された、ボード上の入力端子と、

前記入力端子を前記既存マクロに接続する第1のラインと、

前記第2のバウンダリスキャンセルに接続された、ボード上の出力端子と、

入力側には前記既存マクロおよび前記新規作成回路が接続され、出力側には前記第2のバウンダリスキャンセルに接続された第1のセレクトと、

入力側には前記第1のセレクトおよび前記第2のバウンダリスキャンセルが接続され、出力側には前記出力端子が接続された第2のセレクトと、を有することを特徴とする請求項2記載のテスト回路。

【請求項4】前記第1のセレクトの切り替えを制御するマクロテスト制御信号を供給する入力端子と、

前記第2のセレクトの切り替えを制御するバウンダリスキャンテスト制御信号を発生するテスト・アクセス・ポートと、をさらに備えることを特徴とする請求項3記載のテスト回路。

【請求項5】前記バウンダリスキャン回路を構成する第1のバウンダリスキャンセルおよび第2のバウンダリスキャンセルに対し、前記既存マクロを単体テストする回路は、

前記第1のバウンダリスキャンセルに接続された、ボード上の入力端子と、

前記入力端子を前記既存マクロに接続する第1のラインと、

前記第2のバウンダリスキャンセルに接続された、ボード上の出力端子と、

入力側には前記既存マクロ、前記新規作成回路、前記第2のバウンダリスキャンセルが接続され、出力側には前記出力端子が接続されたセレクトと、を有することを特徴とする請求項2記載のテスト回路。

【請求項6】前記セレクトの切り替えを制御するマクロテスト制御信号およびバウンダリスキャンテスト制御信

号を発生するテスト・アクセス・ポートをさらに備えることを特徴とする請求項5記載のテスト回路。

【請求項7】ボード上に既存マクロと新規作成回路とが搭載されて構成されるシステムロジックをテスト回路によりテストする方法であって、

前記新規作成回路のをテストと、前記既存マクロ単体のテストとを、切り替えて行うことを特徴とするテスト方法。

【請求項8】前記新規作成回路のテストは、バウンダリスキャン方式で行うことを特徴とする請求項7記載のテスト方法。

【請求項9】前記新規作成回路のテストは、バウンダリスキャン回路を用いて行い、

前記既存マクロのテストは、マクロテスト回路を用いて行う、ことを特徴とする請求項8記載のテスト方法。

【請求項10】前記バウンダリスキャン回路を構成する第1のバウンダリスキャンセルおよび第2のバウンダリスキャンセルに対し、前記マクロテスト回路は、

前記第1のバウンダリスキャンセルに接続された、ボード上の入力端子と、

前記入力端子を前記既存マクロに接続する第1のラインと、

前記第2のバウンダリスキャンセルに接続された、ボード上の出力端子と、

入力側には前記既存マクロおよび前記新規作成回路が接続され、出力側には前記第2のバウンダリスキャンセルに接続された第1のセレクトと、

入力側には前記第1のセレクトおよび前記第2のバウンダリスキャンセルが接続され、出力側には前記出力端子が接続された第2のセレクトと、を有することを特徴とする請求項9記載のテスト方法。

【請求項11】前記テスト回路は、前記第1のセレクトの切り替えを制御するマクロテスト制御信号を供給する入力端子と、

前記第2のセレクトの切り替えを制御するバウンダリスキャンテスト制御信号を発生するテスト・アクセス・ポートと、をさらに有することを特徴とする請求項10記載のテスト方法。

【請求項12】前記新規作成回路をテストするときには、前記マクロテスト制御信号により、前記第1のセレクトの入力端子を前記新規作成回路側に切り替え、前記バウンダリスキャンテスト制御信号により、前記第2のセレクトの入力端子を前記第2のバウンダリスキャンセル側に切り替えて、バウンダリスキャン方式で行い、

前記既存マクロをテストするときには、前記マクロテスト制御信号により、前記第1のセレクトの入力端子を前記既存マクロ側に切り替え、前記バウンダリスキャンテスト制御信号により、前記第2のセレクトの入力端子を前記第1のセレクト側に切り替えて、前記ボード上の入力端子からテストデータを入力し、前記既存マクロから

出力されるデータを、前記第1および第2のセクタを経て、前記ボード上の出力端子に伝送する、ことを特徴とする請求項1記載のテスト方法。

【請求項13】前記バウンダリスキャン回路を構成する第1のバウンダリスキャンセルおよび第2のバウンダリスキャンセルに対し、前記既存マクロを単体テストする回路は、

前記第1のバウンダリスキャンセルに接続された、ボード上の入力端子と、

前記入力端子を前記既存マクロに接続する第1のラインと、

前記第2のバウンダリスキャンセルに接続された、ボード上の出力端子と、

入力側には前記既存マクロおよび前記新規作成回路が接続され、出力側は前記第2のバウンダリスキャンセルに接続された第1のセクタと、

入力側には前記第1のセクタおよび前記第2のバウンダリスキャンセルが接続され、出力側には前記出力端子が接続されたセクタと、を有することを特徴とする請求項11記載のテスト方法。

【請求項14】前記テスト回路は、前記セクタの切り替えを制御するマクロテスト制御信号およびバウンダリスキャンテスト制御信号を発生するテスト・アクセス・ポートをさらに有することを特徴とする請求項13記載のテスト方法。

【請求項15】前記新規作成回路をテストするときには、前記バウンダリスキャンテスト制御信号により、前記セクタの入力端子を前記第2のバウンダリスキャンセル側に切り替えて、バウンダリスキャン方式で行い、前記既存マクロをテストするときには、前記マクロテスト制御信号により、前記セクタの入力端子を前記既存マクロ側に切り替えて、前記ボード上の入力端子からテストデータを入力し、前記既存マクロから出力されるデータを、前記セクタを経て、前記ボード上の出力端子に伝送する、ことを特徴とする請求項14記載のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、システムロジックのテスト回路、特に既存マクロと新規作成回路のテストを切り替えて行うことのできるテスト回路に関し、さらにはこのようなテスト回路を用いたテスト方法に関するものである。

【0002】

【従来の技術】回路ボード上に設計されたシステム回路のテストを容易化するためのテスト容易化設計の手法の一つとして、IEEE1149.1標準に基づくバウンダリスキャンデザインがある。バウンダリスキャンデザインは、ボード上のLSIチップを全体のシステムにおける内部ロジックと見なし、チップがボード上に装着さ

れた後もボード外部から内部のLSIへのテストデータの書込み（制御）と内部のデータの読出し（観測）が可能となるよう、スキャン動作可能なフリップフロップをLSIの全ての入出力ピンにそれぞれ制御点、観測点として付加したものである。

【0003】図1は、従来のバウンダリスキャン回路を示す図である。1ビットのシフトレジスタであるバウンダリスキャンセル（BS）10が、システムロジック12と回路ボード6の端子8との間に配置され、各バウンダリスキャンセルは、直列に接続されて、バウンダリスキャンセルチェーンを構成する。TDI端子（図では、他端子を含めて代表的に14で示している）から入力されたテストデータは、TAP（Test Access Port）16を介して、バウンダリスキャンイン端子bsinからバウンダリスキャンセルチェーンに送られ、システムロジック12からの出力はバウンダリスキャンアウト端子bsoutからTAP16に入力され、データ出力端子TDO18から出力され、LSIテストで期待値と比較される。このようなバウンダリスキャンテストは、TAP16で生成されるバウンダリスキャンテスト制御（btest）信号を、各BSのセクタ（SEL）11に入力することにより行われる。

【0004】

【発明が解決しようとする課題】システム回路設計では、全回路を新規に作成するのではなく、一部の回路については既に設計が完了している既存の回路またはチップを利用することが多い。以下、このような既存の回路またはチップをマクロ（macro）と称する。

【0005】ボード上にこのようなマクロが、新規作成の回路チップと共に搭載されている場合に、図1の従来のバウンダリスキャン回路では、マクロ単体テストのための機能が付加されていないので、マクロと新規作成回路とを切り替えてテストを行うことができなかった。

【0006】本発明の目的は、マクロと新規作成回路とを切り替えてテストを行うことのできるテスト回路を提供することにある。

【0007】本発明の他の目的は、マクロと新規作成回路とを切り替えてテストを行うテスト方法を提供することにある。

【0008】

【課題を解決するための手段】本発明のテスト回路は、回路ボード上に既存マクロと新規作成回路とが搭載されて構成されるシステムロジックをテストする。このテスト回路は、新規作成回路をテストするバウンダリスキャン回路と、既存マクロを単体テストする回路とを備えている。このような既存マクロを単体テストする回路と、バウンダリスキャン回路とは統合化されており、1個または2個のセクタを制御することによって、マクロを単体テストする回路と、バウンダリスキャン回路とを別個独立に機能させている。

【0009】このようなテスト回路を用いてテストする場合には、新規作成回路のテストと、既存マクロ単体のテストとを切り替えて行う。新規作成回路のテストは、バウンダリスキャン回路を用いて行い、既存マクロのテストは、マクロテスト回路を用いて行う。

【0010】

【発明の実施の形態】図2は、本発明のテスト回路の第1の実施例を示す。回路ボード（図示せず）上にマクロ20と、内部ロジックを構成するLSI22とが構成されているものとする。なお、図面を簡単にするため、1個のマクロと1個のLSIのみを示している。

【0011】本実施例のテスト回路は、テストアクセスポートTAP（Test Access Port）24を備えている。図3に、TAP24の回路を示す。TAP24には、TDI（テストデータ入力ピン）、TMS（テストモード選択ピン）、TRST（パワーオン時のリセットピン）、TCK（テストクロック）の各入力ピン（図2では、代表的に1つのピン26で示している）が接続されている。

【0012】TAP24は、TMC信号、TCK信号、TRST信号が入力されるTAPコントローラ28と、命令レジスタ30と、命令デコーダ32と、セクタ34とを有している。

【0013】TAP28のバウンダリスキャンイン端子bsin、バウンダリスキャンアウト端子bsoutには、複数のバウンダリスキャンセルよりなるチェーンが接続されている。図では、マクロ20および内部ロジック22に対応した2個のバウンダリスキャンセル（BS）10-1、10-2を示している。BS10-1は、内部ロジック22と入力ピン36との間に接続され、BS10-2は、内部ロジック22と出力ピン38との間に接続されている。

【0014】入力ピン36に接続されている入力バッファ40は、ライン41を経てマクロ20に接続されている。出力ピン38に接続されている出力バッファ42とBS10-2との間にはセクタ44が、内部ロジック22とBS10-2との間にはセクタ46が接続されている。セクタ44の他の入力端子は、BS10-2とセクタ46との接続点48にライン47を経て接続されている。セクタ46の他の入力端子は、マクロ20にライン49を経て接続されている。

【0015】図3のTAP24において、TAPコントローラ28は、テストモード選択TMS信号の入力シーケンスによって、バウンダリスキャン回路の全体の種々の動作を制御する簡単な状態遷移回路となっている。これらの動作は、TMS信号を制御して適当な命令を命令レジスタ30に読み込んだ後、命令デコーダ32で復号されて、状態を変化させつつ行う。本実施例では、セクタ44を切り替えるbscan（またはbstest）信号を生成する。

【0016】以上のTAPコントローラ28、命令レジスタ30、命令デコーダ32、セクタ34の各回路、およびTDI、TDO、TMS、TCK、TRST、bscanの各信号はIEEE1149.1に規定されているものである。

【0017】図2に戻り、本実施例のテスト回路は、マクロテスト制御（mtest）端子50を有し、マクロテスト制御（mtest）信号は、マクロ20およびセクタ46に入力される。

【0018】次に、以上の構成のバウンダリスキャン回路で、ボード上に搭載された既存のマクロ20と新規作成回路である内部ロジック22とのテストを切り替えて行う動作を説明する。図4は、動作の説明に供するタイミング図である。

【0019】内部ロジック22をテストする場合、TAP24のTAPコントローラ28は、テストモード選択TMS信号により、バウンダリスキャンテストモードとなる。TMS信号により命令レジスタ30に命令を読み込んだ後、命令デコーダ32は命令をデコードし、これによりバウンダリスキャンテスト制御（bstest）信号を“1”にし、これによりセクタ44の入力端子をBS10-2側に切り替える。またセクタ46は、mtest信号が“0”で、その入力端子は内部ロジック22側に切り替えられている。

【0020】以上のようなセクタ44、46の切り替え状態で、テストデータがTDIから入力され、内部ロジック22からの出力は、セクタ34で選択され、TDOから外部へ出力される。

【0021】以上のIEEE1149.1で定められたバウンダリスキャンテストモードで新規作成回路である内部ロジック22のテストが行われる。

【0022】バウンダリスキャンテストモードから、マクロテストモードに移行するには、IEEE1149.1で規定された手続きで、SHIFT IRモードに入った後に、mtest信号を“1”にする。マクロ20は、mtest信号が“1”になったことにより、自回路がテストモードに入ったことを認識する。また、セクタ46は、このmtest信号によって、入力端子はマクロ20側に切り替わる。他方、セクタ44は、TAP24の命令デコーダからのbstest信号が“0”になることにより、入力端子はライン47側に切り替えられる。

【0023】以上のようなマクロテストモードでは、入力端子36は、入力バッファ40、ライン41を経て、マクロ20に接続され、出力端子38は、出力バッファ42、セクタ44、ライン47、セクタ46、ライン49を経て、マクロ20に接続されている。

【0024】テストデータが入力端子36から入力され、マクロ20からのデータは、出力端子38から出力される。このようにして、所定のバウンダリスキャンテ

ストの手続きにより、マクロ単体のテストを行うことができる。

【0025】次に、本発明のバウンダリキャンテスト回路の第2の実施例を説明する。この第2の実施例は、第1の実施例が、マクロテスト制御(mtest)端子を別途備えているが、これを不要とするものである。さらには、第1の実施例が、マクロと出力端子との間に、マクロテストとバウンダリキャンテストを切り替えるために2個のセレクトを備えており、これらセレクトにより遅延オーバーヘッドが増大するが、これをさらに改善

【0026】図5に、第2の実施例を示す。第1の実施例と異なる点は、マクロテスト制御端子が無く、代わりに、TAP(Test Access Port)52がマクロテスト制御(mtest)信号を生成すること、およびマクロ20と出力端子38との間に2個ではなく1個のセレクト54を備えることである。図2の構成要素と同一の構成要素には、同一の参照番号を付して示す。

【0027】セレクト54の出力端子は、出力バッファ42に接続され、第1の入力端子は、ライン58を経てマクロ20に接続され、第2の入力端子は、ライン60を経て内部ロジック22に接続され、第3の入力端子は、バウンダリキャンセル10-2を経て内部ロジック22に接続されている。

【0028】図6に、TAP52の回路を示す。図3のTAP24と異なる点は、命令デコーダ56がバウンダリキャンテスト制御(bstest)信号のみならず、マクロテスト(mtest)信号をも生成することである。これらbstest信号、mtest信号は共にセレクト54に入力され、セレクトの切り替えを制御する。なお、mtest信号はIEEE1149.1で定義されない信号であるが、IEEE1149.1で規定されているUSER CODE INSTRUCTIONの規定(任意のテストモードの規定)に従って命令デコーダ56で生成される。

【0029】次に、以上の構成のテスト回路で、ボード上に搭載された既存のマクロ20と新規作成回路である内部ロジック22のテストを切り替えて行う動作を、図4のタイミング図を参照しながら説明する。

【0030】内部ロジック22をテストする場合、TAP52のTAPコントローラ28は、テストモード選択TMS信号により、バウンダリキャンテストモードとなる。TMS信号により命令レジスタ30に命令を読み込んだ後、命令デコーダ56は命令をデコードし、これによりbstest信号を“1”にし、これによりセレクト44の入力端子をBS10-2側に切り替える。

【0031】以上のようなセレクト54の切り替え状態で、テストデータがTDIから入力され、内部ロジック22からの出力は、セレクト34で選択され、TDOか

ら外部へ出力される。

【0032】以上のIEEE1149.1で定められたバウンダリキャンテストモードで新規作成回路である内部ロジック22のテストが行われる。

【0033】バウンダリキャンテストモードから、マクロテストモードに移行するには、IEEE1149.1で規定された手続きで、SHIFT IRモードに入り、そこで、あらかじめ定められたマクロテストモードの命令コード“010”をTDIから命令レジスタ30に入力する。

【0034】その後、命令デコーダ56は、命令コードをデコードし、これによりmtest信号を“1”にする。mtest信号は、マクロ20およびセレクト54に接続される。マクロ20は、mtest信号が“1”になったことにより、自回路がテストモードに入ったことを認識する。また、セレクト54は、このmtest信号によって、入力端子マクロ20側に切り替わる。

【0035】以上のようなマクロテストモードでは、入力端子36は、入力バッファ40、ライン41を経て、マクロ20に接続され、出力端子38は、出力バッファ42、セレクト54、ライン58を経て、マクロ20に接続されている。

【0036】テストデータが、入力端子36から入力され、マクロ20からのデータは、出力端子38から出力される。このようにして、所定のバウンダリキャンテストの手続きにより、マクロ単体のテストを行うことができる。

【0037】以上の第2の実施例のバウンダリキャンテスト回路によれば、TAP52がマクロテスト制御(mtest)信号を生成するので、第1の実施例のようなマクロテスト制御端子は不要となる。また、マクロと出力端子との間のテスト回路による遅延の増加は、セレクト1段分のみであるので、遅延オーバーヘッドは少なくなる。

【0038】

【発明の効果】本発明によれば、ボード上にマクロが新規作成回路の回路チップと共に搭載されている場合に、マクロと新規作成回路とを切り替えてテストを行うことが可能となる。

【図面の簡単な説明】

【図1】従来のバウンダリキャン回路を示す図である。

【図2】本発明のテスト回路の第1の実施例を示す図である。

【図3】TAPの回路を示す図である。

【図4】動作の説明を供するタイミング図である。

【図5】本発明のテスト回路の第2の実施例を示す図である。

【図6】TAPの回路を示す図である。

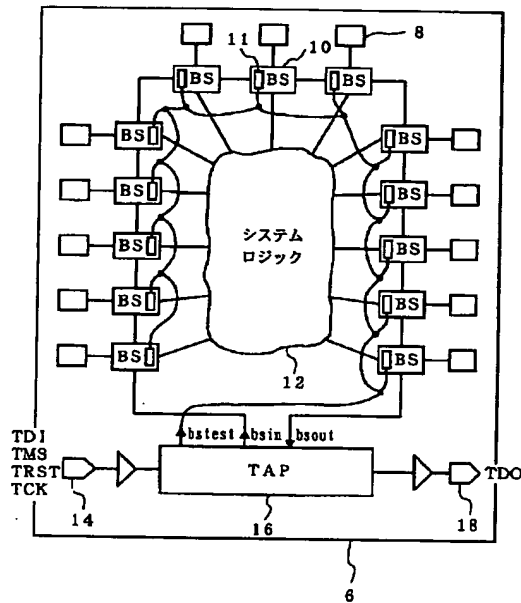
【符号の説明】

10-1, 10-2 バウンダリスキャンセル
 20 マクロ
 22 LSI
 24, 52 TAP
 26 入力ピン
 28 TAPコントローラ
 30 命令レジスタ
 32, 56 命令デコーダ

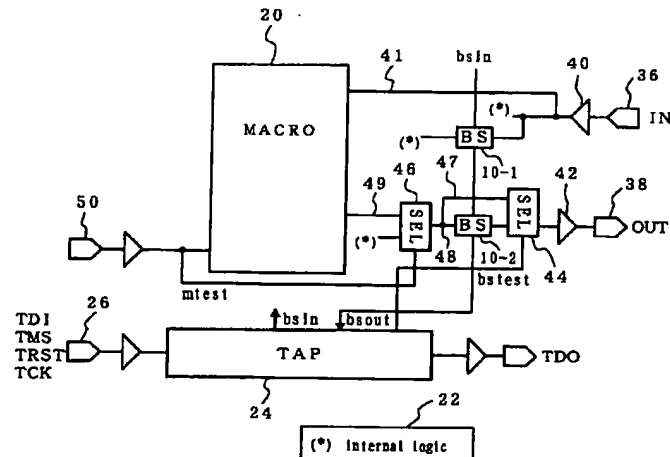
* 34 セレクタ
 36 入力ピン
 38 出力ピン
 40 入力バッファ
 41, 47, 49 ライン
 44, 46 セレクタ
 50 マクロテスト制御端子

*

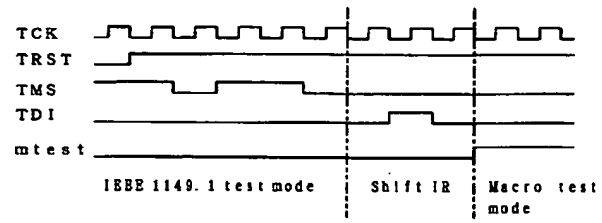
【図1】



【図2】



【圖4】



[illegible]